

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平1-128621

⑫ Int.Cl.  
H 03 L 7/08

識別記号  
E-8731-5J

⑬ 公開 平成1年(1989)5月22日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 チャージポンプ回路

⑮ 特願 昭62-286619

⑯ 出願 昭62(1987)11月13日

⑰ 発明者 西森 英二 神奈川県川崎市中原区上小田中1015番地 内 富士通株式会社

⑲ 発明者 大津 勝吉 神奈川県川崎市中原区上小田中1015番地 内 富士通株式会社

⑳ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代理人 弁理士 伊東 忠彦

明細書

1. 発明の名称

チャージポンプ回路

2. 特許請求の範囲

入力パルスによってコンデンサ (C) を充電及び放電させ、入力パルス幅を電圧に変換して該コンデンサ (C) の端子 (2) より取出すチャージポンプ回路において、

電源端子間に上記コンデンサ (C) と直列接続された電流吐出し定電流源 (Tr<sub>1</sub>) と、該電流吐出し定電流源 (Tr<sub>1</sub>) の定電流 (I) と等しい定電流 (I) に設定されていて上記コンデンサ (C) の両端子間に並列接続された2系統の電流吸込み定電流源 (Tr<sub>4</sub>) (Tr<sub>5</sub>) とを設け、

更に、充電を必要とする時共にオフとされて上記電流吐出し定電流源 (Tr<sub>1</sub>) の定電流 (I) を上記コンデンサ (C) に流して充電させ、放電を必要とする時共にオンとされて上記電流吐出し

定電流源 (Tr<sub>1</sub>) 及び上記2系統の電流吸込み定電流源 (Tr<sub>4</sub>) (Tr<sub>5</sub>) の定電流 (I) を以て上記コンデンサ (C) を放電させる、上記2系統の電流吸込み定電流源 (Tr<sub>4</sub>) (Tr<sub>5</sub>) に対応して設けられた2系統のスイッチ (Tr<sub>2</sub>) (Tr<sub>3</sub>) を設けてなることを特徴とするチャージポンプ回路。

3. 発明の詳細な説明

(概要)

入力パルス幅に応じた大きさの電圧を得るチャージポンプ回路に関し、

高遅動作が可能になることを目的とし、

電源端子間にコンデンサと直列接続された電流吐出し定電流源と、電流吐出し定電流源の定電流と等しい定電流に設定されていてコンデンサの両端子間に並列接続された2系統の電流吸込み定電流源とを設け、更に、充電を必要とする時共にオフとされて電流吐出し定電流源の定電流をコンデ

特開平1-128621(4)

関与しない。8<sub>1</sub>, 8<sub>2</sub>はアップパルスによって動作するNチャンネルMOSFETで、トランジスタT<sub>r2</sub>及び定電流源6aに接続されている。9<sub>1</sub>, 9<sub>2</sub>はダウンパルスによって動作するNチャンネルMOSFETで、トランジスタT<sub>r1</sub>及び定電流源6aに接続されている。その他の構成は前記実施例と同様である。

次に動作について説明する。アップ時、アップパルスによってFET8<sub>1</sub>がオン、FET8<sub>2</sub>がオフとされ、トランジスタT<sub>r2</sub>がオフされる。これと同時に、ダウンパルスによってFET9<sub>1</sub>がオン、FET9<sub>2</sub>がオフとされ、トランジスタT<sub>r1</sub>がオフされる。トランジスタT<sub>r2</sub>, T<sub>r1</sub>のオフにより、トランジスタT<sub>r1</sub>により定電流が流れ、コンデンサCが充電される。

一方、アップ及びダウンのいずれでもない時、前記実施例と同様にしてトランジスタT<sub>r2</sub>をオン、トランジスタT<sub>r1</sub>をオフとし、オーブン状態とする。

一方、ダウン時、アップパルス(アップ時と逆

8<sub>1</sub>, 9<sub>1</sub>を小形にでき、又、スイッチング時の負荷となる浮遊容量を小さくでき、これにより、定電流源6a側の動作が遮断されずに電圧振幅が小になるので、この点からも高速化を図り得る。

更に、定電流源6aのトランジスタ10のベースとトランジスタ11のエミッタとの間にNチャンネルMOSFET12(電源Vccを印加されることにより、常時オン)を設けたため、そのオン抵抗により、トランジスタ10のベースとトランジスタ11のエミッタとを直接接続した構成に比して、FET8<sub>2</sub>, 9<sub>2</sub>のオン抵抗による定電流誤差を補償し得る。

(発明の効果)

以上説明した如く、本発明によれば、アップパルス及びダウンパルスで直接動作するトランジスタをNPNトランジスタで構成し得、PNPトランジスタによる定電流源をスイッチング動作させていた従来回路に比して高速動作が可能であり、高速PSL回路等に適している。

極性)によってFET8<sub>1</sub>がオフ、FET8<sub>2</sub>がオンされ、トランジスタT<sub>r2</sub>がオンされる。これと同時に、ダウンパルス(アップ時と逆極性)によってFET9<sub>1</sub>がオフ、FET9<sub>2</sub>がオンされ、トランジスタT<sub>r1</sub>がオンされる。トランジスタT<sub>r2</sub>, T<sub>r1</sub>には夫々定電流源6aによる定電流I<sub>2</sub>, I<sub>1</sub>が流れ、コンデンサCが充電される。

このものは、アップパルス及びダウンパルスによるスイッチング素子としてNチャンネルMOSFET8<sub>1</sub>, 9<sub>1</sub>を用いているので、このような回路構成でFET8<sub>1</sub>, 9<sub>1</sub>の代りにNPNトランジスタを用いた場合に比してNPNトランジスタのような飽和による遅延を生じることはなく、高速回路に適用できる。また、FET8<sub>2</sub>, 9<sub>2</sub>が設けられているので、FET8<sub>2</sub>, 9<sub>2</sub>オン時にここに流れれる電流をこれがない場合(I)に比してI/h<sub>FE</sub>と小さくできる(ここに、h<sub>FE</sub>はトランジスタT<sub>r2</sub>, T<sub>r1</sub>の電流増幅率である)。従って、FET8<sub>2</sub>, 9<sub>2</sub>がない場合に比してFET

4. 図面の簡単な説明

第1図は本発明の原理図、  
第2図は本発明回路の一実施例の回路図、  
第3図は本発明回路の他の実施例の回路図、  
第4図は従来の回路図である。

図において、  
2はダウンパルス発生器、  
4は出力端子、  
6, 6aは定電流源、  
7はアップパルス発生器、  
8<sub>1</sub>, 8<sub>2</sub>, 9<sub>1</sub>, 9<sub>2</sub>, 12はNチャンネルMOSFET、  
10, 11, Tr<sub>1</sub>, Tr<sub>2</sub>はトランジスタを示す。

特許出願人 富士通株式会社  
代理人 弁理士 伊東忠彦



特開平1-128621(3)

よってスイッチ  $T_{r2}$ ,  $T_{r3}$  はオンとされ、定電流源  $T_{r4}$ ,  $T_{r5}$  の夫々の定電流の和と定電流源  $T_{r1}$  の定電流との差電流  $I_1$  を以てコンデンサ  $C$  が充電され、出力電圧が下落する。この場合、定電流源  $T_{r4}$ ,  $T_{r5}$ ,  $T_{r3}$  はアップバルス及びダウンバルスによるスイッチングには関与せず、スイッチングが行なわれる原因是スイッチ  $T_{r2}$ ,  $T_{r3}$  である。このような構成をとることにより、スイッチ  $T_{r2}$ ,  $T_{r3}$  に一般に高速動作に適しているNPNトランジスタを用い得る。

(実施例)

第2図は本発明回路の一実施例の回路図を示す。同図中、6はカレントミラー回路構成の定電流源で、単に定電流  $I_1$  を流すのみで、従来回路のようにスイッチング動作に関与しない。 $T_{r1}$  はカレントミラーにより定電流源6に従って定電流  $I_1$  を流す電流吐出し定電流源として動作するトランジスタ、 $T_{r4}$ ,  $T_{r5}$  はカレントミラーにより定電流源6に従って夫々定電流  $I_2$ ,  $I_3$  を流す

発生されるので、トランジスタ  $T_{r6}$  はオン、トランジスタ  $T_{r7}$  はオフされる。これにより、トランジスタ  $T_{r2}$ ,  $T_{r3}$  はともにオフであるので、定電流源であるトランジスタ  $T_{r1}$  により定電流  $I_1$  (定電流  $I_1$  と同じ) が流れ、コンデンサ  $C$  が充電される。このとき、トランジスタ  $T_{r6}$  のオンにより定電流  $I_2$ 、トランジスタ  $T_{r7}$  のオンにより定電流  $I_3$  が夫々流れれる。

次にアップ及びダウンのいずれでもない時、アップバルス発生器7からはLレベルのアップバルス、ダウンバルス発生器2からはHレベルのダウンバルスが夫々発生する。これにより、トランジスタ  $T_{r6}$  はオフ、トランジスタ  $T_{r7}$  はオン、トランジスタ  $T_{r2}$  はオフとされ、トランジスタ  $T_{r1}$ ,  $T_{r3}$ ,  $T_{r4}$  を介して定電流  $I_1$ ,  $I_2$  が流れ、コンデンサ  $C$  は  $I_1 - I_2 - I_3$  なる定電流を以て放電される。

一方、ダウン時、アップバルス発生器7からLレベルのアップバルスが発生されると、トランジ

電流吸込み定電流源として動作するトランジスタである。この場合、 $I_1 \leftarrow I_2 \leftarrow I_3$  として動作する。 $T_{r6}$ ,  $T_{r7}$  はアップバルス発生器7からのアップバルスによってオン、オフ制御されるスイッチング用のトランジスタ、 $T_{r2}$ ,  $T_{r3}$  はダウンバルス発生器2からのダウンバルスによってオン、オフ制御されるスイッチング用のトランジスタである。

アップバルス、ダウンバルスによって直接動作する回路はスイッチ  $T_{r6}$ ,  $T_{r7}$ ,  $T_{r3}$ ,  $T_{r2}$  であり、ともに応答速度が早く、かつ、誤差の少ないNPNトランジスタにて構成されている。PNPトランジスタを用いられている定電流源6、トランジスタ  $T_{r1}$  はともにスイッチング動作に関与しない。

次に動作について説明する。先ず、アップ時、アップバルス発生器7からHレベルのアップバルスが発生されると、トランジスタ  $T_{r6}$  はオン、トランジスタ  $T_{r7}$  はオフされる。一方、ダウンバルス発生器2からはLレベルのダウンバルスが

発生されるので、トランジスタ  $T_{r6}$  はオフ、トランジスタ  $T_{r7}$  はオンされる。一方、ダウンバルス発生器2からはLレベルのダウンバルスが発生されるので、トランジスタ  $T_{r7}$  はオフ、トランジスタ  $T_{r6}$  はオンされる。これにより、トランジスタ  $T_{r2}$ ,  $T_{r3}$  はともにオンであるので、トランジスタ  $T_{r1}$ ,  $T_{r3}$ ,  $T_{r4}$  を介して定電流  $I_1$ ,  $I_2$  、トランジスタ  $T_{r1}$ ,  $T_{r3}$  を介して定電流  $I_3$  が夫々流れ、コンデンサ  $C$  は  $I_1 - I_2 - I_3$  なる定電流を以て放電される。

このように本実施例では、アップバルス及びダウンバルスで直接動作するトランジスタ  $T_{r6}$ ,  $T_{r7}$ ,  $T_{r3}$ ,  $T_{r2}$  をNPNトランジスタで構成したので、第4図に示す従来回路に比して高速動作が可能(数nsec程度)であり、高速のPLL回路に適用し得る。

第3図は本発明回路の他の実施例の回路図を示す。同図中、6aは定電流源で、前記実施例の定電流源6に相当するもので、前記実施例と同様、単に定電流  $I_1$  を流すのみで、スイッチング動作に

特開平1-128621(2)

ンサに接して充電させ、放電を必要とする時共にオンとされて電流吐出し定電流源及び2系統の電流吸込み定電流源の定電流を以てコンデンサを放電させる、2系統の電流吸込み定電流源に対応して設けられた2系統のスイッチを設けた構成とする。

(産業上の利用分野)

本発明は、入力パルス幅に応じた大きさの電圧を得るチャージポンプ回路に関する。

チャージポンプ回路は、アップパルスにて平滑用コンデンサを充電し、ダウンパルスにて平滑用コンデンサを放電してパルス入力に応じた大きさの電圧を得るもので、例えば、PLL(フェーズ・ロックド・ループ)回路の位相比較回路の出力と電圧制御発振器(VCO)との間に設けられ、位相比較誤差出力を電圧に変換する。

(従来の技術)

第4図は従来のチャージポンプ回路の一例の回

定電流源3がオフされる。

一方、アップ及びダウンのいずれでもない期間(オープン期間)、トランジスタQ<sub>2</sub>、Q<sub>3</sub>を共にオフにし、コンデンサCの充電及び放電が行なわれないようにする。

この場合、アップパルス及びダウンパルスの各パルス幅がコンデンサC、抵抗の時定数より十分小さい場合、アップパルス及びダウンパルスの各パルス幅に比例して出力電圧が変化する。

(発明が解決しようとする問題点)

上記従来回路は、定電流源3において、一般に応答速度が遅く(アップ信号が有効となるまで100nsec程度必要)、かつ、誤差を生じ易い(一般にPNPトランジスタの電流増幅率は制御性が悪い)PNPトランジスタをスイッチングして用いているため、高速のPLL回路には実用的でない問題点があった。

本発明は、高速動作が可能なチャージポンプ回路を提供することを目的とする。

路図を示す。アップ時、アップパルス発生器1からのLレベルのアップパルスにてトランジスタQ<sub>1</sub>がオフ、トランジスタQ<sub>2</sub>がオンされ、一方、ダウンパルス発生器2からのHレベルのダウンパルスにてトランジスタQ<sub>4</sub>がオン、トランジスタQ<sub>3</sub>がオフされる。トランジスタQ<sub>2</sub>のオンによってPNPトランジスタで構成される電流吐出し定電流源3がオンされ、平滑用コンデンサCは定電流源3の定電流I<sub>1</sub>で充電されて出力端子4により次第に上昇する出力電圧が取出される。

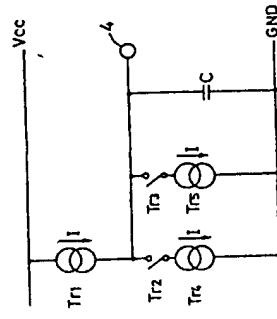
一方、ダウン時、アップパルス発生器1からのHレベルのアップパルスにてトランジスタQ<sub>1</sub>がオン、トランジスタQ<sub>2</sub>がオフされ、一方、ダウンパルス発生器2からのLレベルのダウンパルスにてトランジスタQ<sub>4</sub>がオフ、トランジスタQ<sub>3</sub>がオンされる。トランジスタQ<sub>3</sub>のオンにより、コンデンサCはトランジスタQ<sub>3</sub>を介して電流吸込み定電流源5の定電流I<sub>2</sub>を以て放電され、出力端子4より次第に下降する出力電圧が取出される。このとき、トランジスタQ<sub>2</sub>のオフにより、

(問題点を解決するための手段)

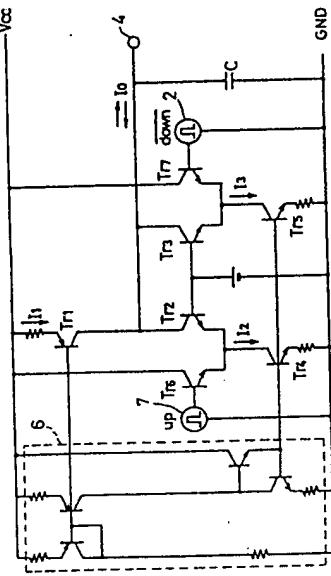
第1図は本発明回路の原理図を示す。同図中、T<sub>r1</sub>は電流吐出し定電流源(トランジスタ)でコンデンサCと電源端子間に直列に接続されている。T<sub>r2</sub>、T<sub>r3</sub>は電流吐出し定電流源T<sub>r1</sub>の定電流と等しい定電流に設定された2系統の電流吸込み定電流源(トランジスタ)であり、コンデンサCに並列接続されている。T<sub>r2</sub>、T<sub>r3</sub>は、充電を必要とする時共にオフとされて電流吐出し定電流源T<sub>r1</sub>の定電流をコンデンサCに渡して充電させ、放電を必要とする時共にオンとされて上記2系統の電流吸込み定電流源T<sub>r2</sub>、T<sub>r3</sub>の定電流を以てコンデンサCを放電する2系統のスイッチ(トランジスタ)である。

(作用)

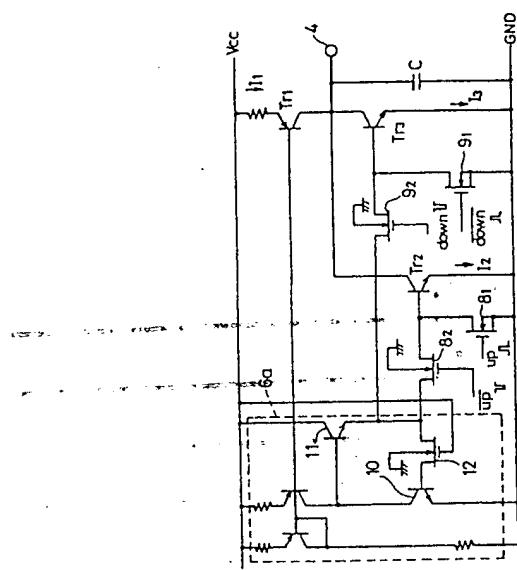
アップ時、アップパルスによってスイッチT<sub>r2</sub>、T<sub>r3</sub>はオフされ、定電流源T<sub>r1</sub>の定電流I<sub>1</sub>によってコンデンサCが充電され、出力電圧が上昇する。一方、ダウン時、ダウンパルスに



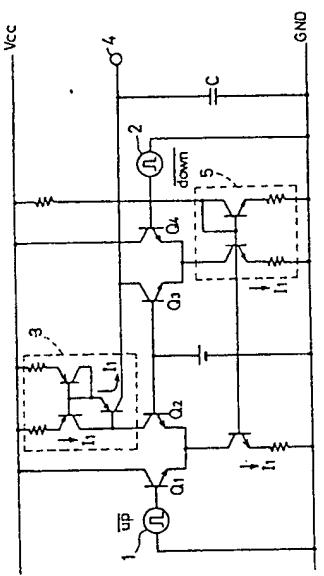
本発明の原理回路図  
第1図



本発明の原理回路図  
第2図



本発明回路構成の実施例の回路図  
第3図



本発明の回路構成  
第4図